|  |  |  |
| --- | --- | --- |
| Fecha entrega: 20/10/17 | Tarea: Unidad de Gestión de Memoria | Número de tarea: 2-3 |
| Grupo: 3CM3 | Alumno: Monroy Martos Elioth | Arquitectura de Computadoras |

# Unidad de Gestión de Memoria

## Desarrollo

La Unidad de Gestión de Memoria (Memory Management Unit en inglés) trabaja con la cache del sistema de memoria para controlar el acceso hacia la memoria externa. También controla las traducciones de las direcciones de memoria virtual a direcciones de memoria física.

Provee traducciones de direcciones de memoria y revisiones de permisos de acceso para todos los puertos del procesador. Además, controla el hardware que tienen acceso a las tablas de traducciones en la memoria principal.

Un solo conjunto de tablas de paginación de nivel 2, almacenadas en memoria principal controlan los contenidos de las instrucciones y datos dentro de los TLBs, asociados con un identificador de tabla no seguro (Non-secure Table Identifier, NSTID) que permiten que las entradas seguras y no seguras puedan coexistir. Los TLBss están habilitados en un solo bit en el Registro de Control c1, entregando así una dirección de traducción y un esquema de protección desde el software.

Las características de la Unidad de Gestión de Memoria son:

* Tamaños de mapeo de 4KB, 64KB, 1MB y 16MB.
* Posibilidad de especificar permisos para paginas grandes y subpáginas.
* 16 dominios.
* TLB de una 64-entrada unificada una región bloqueada de 8 entradas.
* Entradas y tablas de paginación Seguras y No Seguras separadas.

La Unidad de Gestión de Memoria dan un gran control sobre la memoria de un sistema, esto gracias a que es controlada por un conjunto de direcciones físicas y virtuales mapeadas y asociadas con propiedades de la memoria, dentro de una o más estructuras conocidas como TLBs que se encuentran de la Unidad de Gestión de Memoria.

## Referencias

* *ARM1176JZF-S, Revisión: r0p7. ARM Limited. 2009.*